

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-053218

(43)Date of publication of application : 23.02.2001

22387 U.S. PTO
10/757373

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/60

(21)Application number : 11-226502

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.08.1999

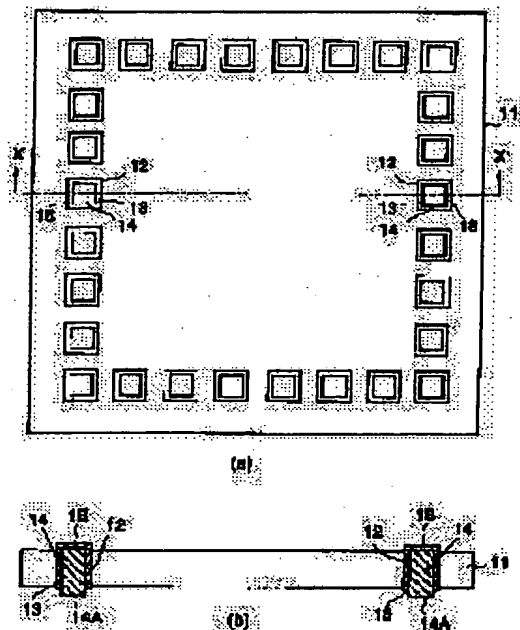
(72)Inventor : TAKAHASHI KENJI
NAKAYOSHI HIDEO
TAKU SHINYA
TAKUBO TOMOAKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device wherein electrodes for stacking a plurality of semiconductor chips are small while the pitch between electrodes is small to sufficiently cope with a case where multiple signal inputs/outputs are required.

SOLUTION: In a through-hole 12 formed at a semiconductor substrate 11, an insulating film 13 protruding above the rear side of the semiconductor substrate 11 is formed, and in the through-hole, an electrode 14 comprising a projection 14A protruding beyond the insulating film 13 on the rear side of the semiconductor substrate 11 is embedded. The conductive electrode material protruding above the rear side of the semiconductor substrate 11 is utilized as a part of a bump, so the electrode is smaller and the pitch between electrodes is small while coping with a case where multiple signal inputs/outputs are required.



LEGAL STATUS

[Date of request for examination]

27.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-53218

(P2001-53218A)

(43)公開日 平成13年2月23日(2001.2.23)

(51)Int.Cl.

識別記号

F I

テームト*(参考)

H 0 1 L 25/065

H 0 1 L 25/08

B 5 F 0 4 4

25/07

21/60

3 1 1 Q

25/18

21/60

3 1 1

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21)出願番号

特願平11-226502

(22)出願日

平成11年8月10日(1999.8.10)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 高橋 健司

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 中吉 英夫

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

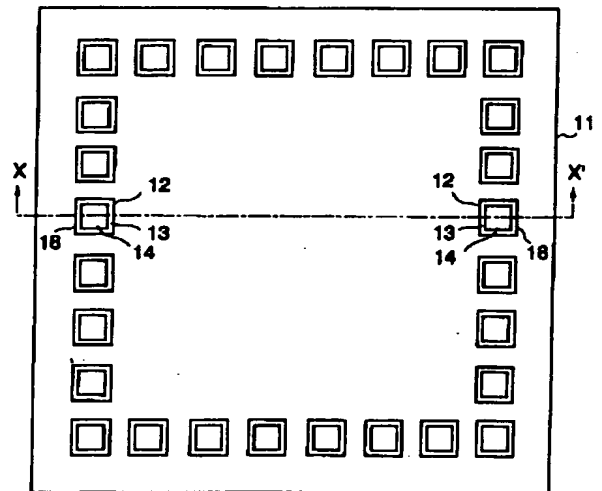
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

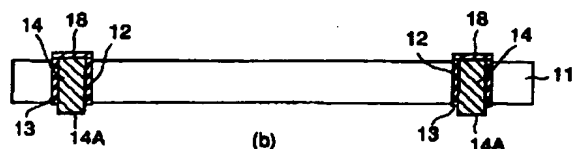
(57)【要約】

【課題】複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置を提供することを目的としている。

【解決手段】半導体基板11に形成された貫通孔12内に、この半導体基板の裏面側に突出された絶縁膜13を形成するとともに、この貫通孔内に半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部14Aを有する電極14を埋め込み形成したことを特徴としている。半導体基板の裏面側に突出した導電性電極材料をパンプの一部として利用することができるので、電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも対応できる。



(a)



(b)

3

さくできず、パンプ間のピッチも詰められないという問題があった。

【0009】また、メモリチップの裏面を研削及び研磨してチップ厚を薄くする場合、搬送中やパンプ形成のためのメッキ時にウェーハにクラックが入ったり割れたりするという問題があった。

【0010】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、複数の半導体チップを積み重ねて実装するための電極のサイズ小さくできると共に、電極間のピッチを狭くでき、多数の信号入出力が要求される場合にも充分に対応できる半導体装置を提供することにある。

【0011】また、この発明の他の目的は、搬送中やメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる半導体装置の製造方法を提供することにある。

【0012】更に、この発明の他の目的は、ウェーハの分割工程と貫通孔への導電性電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる半導体装置の製造方法を提供することにある。

【0013】

【課題を解決するための手段】この発明の半導体装置は、貫通孔を有する半導体基板と、前記貫通孔内の前記半導体基板に形成され、前記半導体基板の裏面側に突出された絶縁膜と、前記貫通孔内に埋め込み形成され、前記半導体基板の裏面側で且つ前記絶縁膜よりも突出された突起部を有する電極とを具備することを特徴としている。

【0014】また、この装置において、次のような特徴を備えている。

【0015】前記半導体基板の主表面側の前記電極上に形成される接合材料層を更に具備する。

【0016】前記半導体基板の主表面側と裏面側の前記電極が前記接合材料層を介在して電気的に接続されるように複数の半導体基板を積み重ねる。

【0017】前記積み重ねた複数の半導体基板は、インターポーザ上に実装される。

【0018】更に、この発明の半導体装置の製造方法は、半導体基板の主表面に所定の深さの開孔を形成する工程と、前記開孔の内壁に絶縁膜を形成する工程と、前記開孔内を導電性電極材料で埋め込む工程と、前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程と、前記半導体基板の裏面を前記開孔の底部より浅い位置までエッチングして、前記導電性電極材料を前記半導体基板の裏面から突出させ、前記半導体基板を貫通し、且つ裏面側に突起部を有する電極を形成する工程とを具備することを特徴としている。

【0019】そして、上記製造方法において、次のような特徴を備えている。

【0020】前記開孔内を導電性電極材料で埋め込む工

(3)

4

程の後に、前記半導体基板の主表面側の前記導電性電極材料上に、接合材料層を形成する工程を更に具備する。

【0021】前記半導体基板の裏面を前記開孔の底部に達しないように機械的に研削する工程の前に、前記半導体基板の主表面側から最終的なチップ厚よりも深いダイシング溝を形成する工程を更に具備する。

【0022】上記のような構成によれば、半導体基板の裏面側に突出した導電性電極材料をパンプとして利用することができるので、パンプ間のピッチを狭くして、多数の信号入出力が要求される場合にも対応できる。

【0023】また、上記のような製造方法によれば、機械的な研削及び研磨によって効率よくウェーハを薄くでき、エッチングによって電極を突出させることができる。

【0024】更に、接合材料層はウェーハを薄くする前に形成するので、搬送中や接合材料層の形成のためのメッキ時にウェーハにクラックが入ったり割れたりするのを防止できる。

【0025】しかも、機械的な研削及び研磨の前にダイシング溝を形成しておけば、ウェーハの分割工程と貫通孔への電極材料の埋め込みによる電極の形成工程とを同時にでき、製造工程の簡単化が図れる。

【0026】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1(a)、(b)は、この発明の第1の実施の形態に係る半導体装置について説明するためのもので、(a)図はチップの平面図、

(b)図は(a)図のX-X'線に沿った断面図である。また、図2(a)、(b)は上記図1(a)、

(b)に示した半導体装置を実装した状態を示すもので、(a)図は斜視図、(b)図は断面図である。

【0027】図1(a)、(b)に示す如く、半導体基板(例えば半導体メモリチップ)11には、四辺に沿って貫通孔12、12、…が形成されている。これらの貫通孔12、12、…内の半導体基板11表面には酸化シリコン等の絶縁膜13が形成されており、この絶縁膜13は半導体基板11の裏面側に突出している。また、上記貫通孔12内には、上記絶縁膜13が介在されることにより、上記半導体基板11と絶縁された状態で銅(Cu)やタングステン(W)等の導電性の材料からなる電極14が設けられている。この電極14は、基板11の裏面側で且つ上記絶縁膜13よりも突出した突起部14Aを有する。そして、上記電極14における基板11の主表面側には、接合材料層18が形成されている。

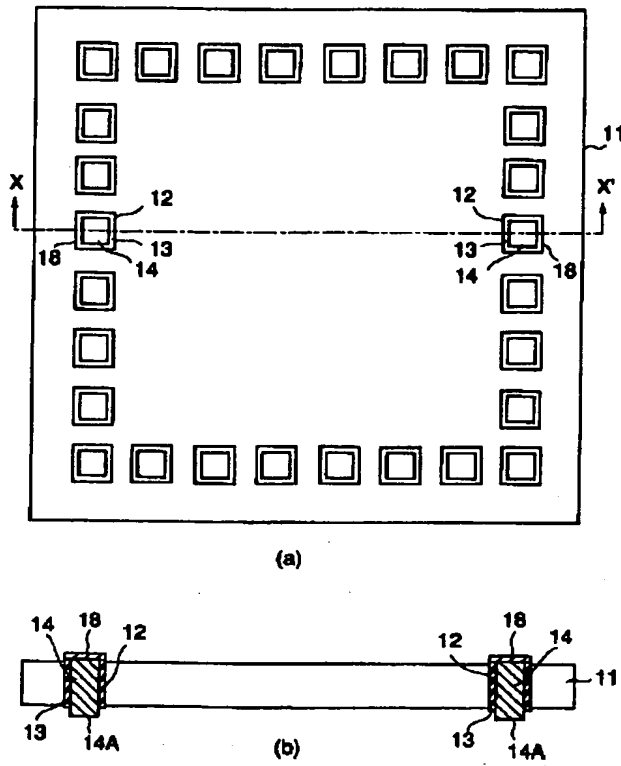
【0028】上記構造の半導体基板11は、図2(a)、(b)に示すように、複数個が積み重ねられてインターポーザ15上に搭載される。この際、半導体メモリチップ11-1における電極14の突起部14Aは、インターポーザ15上に実装され、電気的に接続される。上記半導体メモリチップ11-2における電極1

(5)

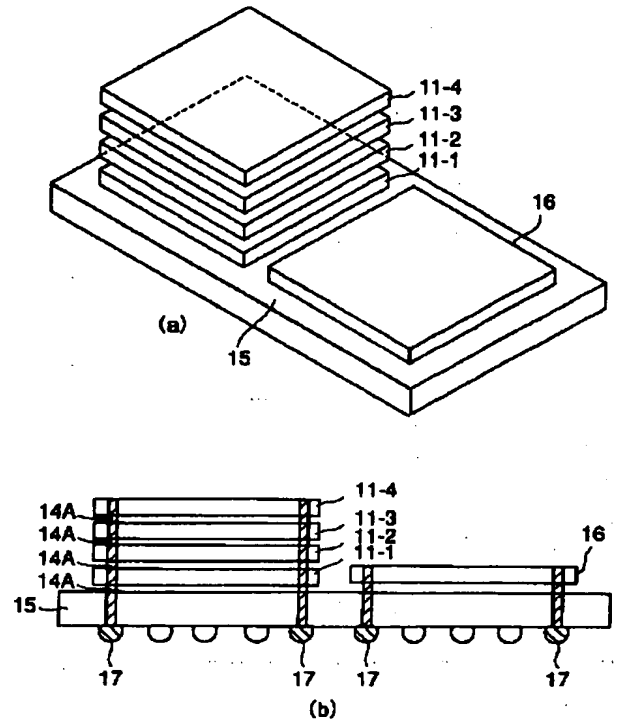
2 1…開孔、

2 2…ダイシング溝。

【図1】



【図2】



【図4】

